

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-102837  
 (43) Date of publication of application : 15.04.1994

(51) Int.Cl. G09G 3/38  
 G09G 3/20

(21) Application number : 04-250035  
 (22) Date of filing : 18.09.1992

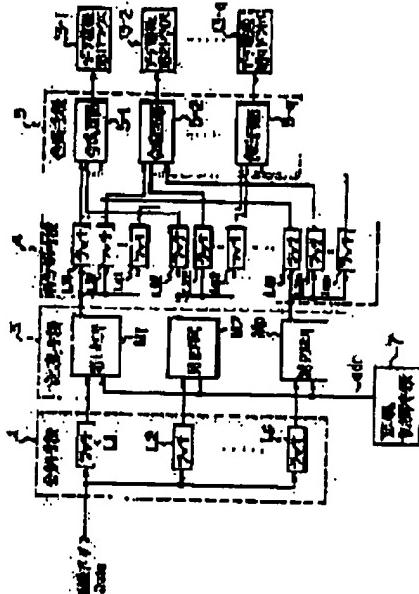
(71) Applicant : FUJITSU LTD  
 (72) Inventor : KAI TSUTOMU  
 HASEGAWA KENZO  
 NAKAMURA MASANORI

## (54) DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

### (57) Abstract:

**PURPOSE:** To provide the driving circuit for a liquid crystal display device capable of using a low-speed memory even when image data are processed at high-speed and information quantity increases and also capable of composing of the smaller number of memories, in the driving system provided with a memory for dividing and holding image data for a certain period, dividing a data electrode driver into plural blocks and supplying the image data in parallel.

**CONSTITUTION:** This circuit is composed of (q) data electrode drives (13-1)-(13-q), a dividing means 1 for dividing image data into (p) and (p) memories M1-Mp, and also of a storage means 3 for holding the image data divided into (p) by the dividing means 1 for a prescribed period and a storage control means 7 for rearranging the image data at the time of writing to or reading from the storage means 3 to the image data corresponding to the block division of the data electrode drivers and the data electrode drivers (13-1)-(13-q) are driven in parallel based on the image data in the storage means 3.



### LEGAL STATUS

[Date of request for examination]	11.12.1998
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3238758
[Date of registration]	05.10.2001
[Number of appeal against examiner's decision of rejection]	

2007年12月20日P18時42分

ITOH INTERNATIONAL PATENT OFFICE

NO. 8282/2 P. 24/35

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(10)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-102837

(13)公開日 平成6年(1994)4月15日

(51)Int.Cl.  
G 0 9 G 3/30  
3/20

構成記号 序内整理番号  
7310-5C  
W 7335-5C  
R 7395-5C

F I

技術表示箇所

## 審査請求 未請求 請求項の数4(全11頁)

(21)出願番号

特願平6-250035

(22)出願日

平成6年(1994)9月15日

(71)出願人

000005323

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者

甲斐 雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

長谷川 貴造

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

中村 星川

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(73)発明者

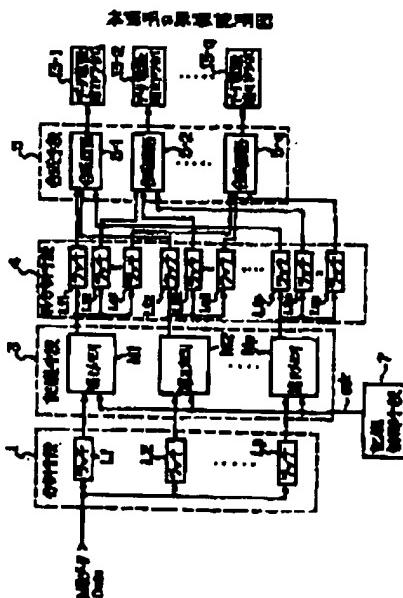
弁理士 石川 泰男

(54)【発明の名前】 液晶表示装置の駆動回路

## (57)【要約】

【目的】 図像データをある期間分割保持するメモリを備え、データ電極ドライバを複数ブロックに分割して図像データを並列に供給する駆動方式において、図像データが高速になり情報量が多くなっても、低速度のメモリの使用を可説とし、またより少ないメモリ数で構成可能な液晶表示装置の駆動回路を提供する。

【構成】 q個のデータ電極ドライバ13-1～13-qと、図像データをp個化分割する分割手段1と、p個のメモリM1～Mpからなり、分割手段1によりp分割された図像データを所定の期間保持する記憶手段3と、記憶手段3への書き込み時、或いは読み出し時の図像データを、データ電極ドライバのブロック分割に対応した図像データに並び変える記憶制御手段7とを有して構成し、データ電極ドライバ13-1～13-qは記憶手段3の図像データに基づき並列に駆動する。



(2)

特開平6-102837

1

## 【特許請求の範囲】

【請求項1】  $q$  個 ( $q$  は任意の正整数) のデータ電極ドライバ (13-1～13-q) を備える液晶表示装置の駆動回路であって、  
画像データを  $p$  個 ( $p$  は任意の正整数) に分割する分割手段 (1) と、

$p$  個のメモリ (M1～Mp) からなり、前記分割手段 (1) により  $p$  分割された画像データを所定の期間保持する記憶手段 (3) とを有し、

前記データ電極ドライバ (13-1～13-q) は、前記記憶手段 (3) の画像データに基づき並列に駆動することを特徴とする液晶表示装置の駆動回路。

【請求項2】  $q$  個 ( $q$  は任意の正整数) のデータ電極ドライバ (13-1～13-q) を備える液晶表示装置の駆動回路であって、  
画像データを  $p$  個 ( $p$  は任意の正整数) に分割する分割手段 (1) と、

$p$  個のメモリ (M1～Mp) からなり、前記分割手段 (1) により  $p$  分割された画像データを所定の期間保持する記憶手段 (3) と、  
前記記憶手段 (3) への書き込み時、或いは読み出し時の画像データを、前記データ電極ドライバ (13-1～13-q) のブロック分割に対応した画像データに並び変える記憶制御手段 (7) とを有し、

前記データ電極ドライバ (13-1～13-q) は、前記記憶手段 (3) の画像データに基づき並列に駆動することを特徴とする液晶表示装置の駆動回路。

【請求項3】 前記液晶表示装置の駆動回路は、  
前記記憶手段 (3) 内に  $p$  分割された画像データのそれを  $q$  個に再分割する再分割手段 (4) と、  
前記再分割手段 (4) により再分割された画像データを合成して前記データ電極ドライバ (13-1～13-q) に供給する合成手段 (5) とを有することを特徴とする請求項1または2に記載の液晶表示装置の駆動回路。

【請求項4】 前記分割手段 (1) は、画像データを奇数番目及び偶数番目のグループに分割した後、更に  $r$  個 ( $r$  は  $p/2$  を越えない任意の正整数) に分割することを特徴とする請求項1、2、または3に記載の液晶表示装置の駆動回路。

【発明の詳細な説明】  
【0001】  
【産業上の利用分野】本発明は液晶表示装置の駆動回路に係り、特に、画像データをある期間分割保持するメモリを備え、データ電極ドライバを複数ブロックに分割して画像データを並列に供給する液晶表示装置の駆動回路において、画像データが高速になり情報量が多くなるても、低速度のメモリの使用を可能とし、またより少ないメモリ数で構成可能な液晶表示装置の駆動回路に関するものである。

2

【0002】近年、液晶表示装置の高画質化が要求されおり、このため、駆動回路における液晶ドライバの最大動作速度以上の速度で送られて来る画像データを液晶表示パネルに表示する必要があり、より小さな回路規模で、低消費電力で、しかも低成本の液晶表示装置の駆動回路の実現を図る必要がある。

【0003】

【従来の技術】図7に、従来の液晶表示装置の駆動回路の構成図を示す。周囲に示すように、従来の液晶表示装置の駆動回路では、液晶ドライバの最大動作速度よりも速い画像データ Data を液晶表示パネル 11 に表示する場合、画像データ Data を第1から第3のメモリ M1～M3 に分割して記憶し、更に 3 個に分割したデータ電極ドライバ 13-1～13-3 を並列に動作させていた。

【0004】つまり、従来の液晶表示装置の駆動回路においては、画像データ Data の速度を落とす方法として、3 個のブロックに分けたデータ電極ドライバ 13-1～13-3 に対応した第1、第2、及び第3のメモリ M1～M3 を設け、書き込み時に分割して格納し、読み出し時には第1、第2、及び第3のメモリ M1～M3 を並列に動作させることにより、3 個のデータ電極ドライバ 13-1～13-3 に並列に画像データを供給していた。

【0005】

【発明が解決しようとする課題】従って、従来の液晶表示装置の駆動回路では、画像データ Data が高速になり情報量が多くなると、それに応じた動作速度のメモリを使用しなければならず、またデータ電極ドライバの分割ブロック数が多くなると、メモリ数を増やすなければならぬという問題があった。

【0006】本発明は、上記問題点を解決するもので、画像データをある期間分割保持するメモリを備え、データ電極ドライバを複数ブロックに分割して画像データを並列に供給する液晶表示装置の駆動回路において、画像データが高速になり情報量が多くなっても、低速度のメモリの使用を可能とし、またより少ないメモリ数で構成可能な液晶表示装置の駆動回路を提供することを目的とする。

【0007】

【課題を解決するための手段】図1は本発明の原理説明図である。上記課題を解決するために、本発明の第1の特徴の液晶表示装置の駆動回路は、 $q$  個 ( $q$  は任意の正整数) のデータ電極ドライバ 13-1～13-q を備える液晶表示装置の駆動回路であって、画像データを  $p$  個 ( $p$  は任意の正整数) に分割する分割手段 1 と、 $p$  個のメモリ M1～Mp からなり、前記分割手段 1 により  $p$  分割された画像データを所定の期間保持する記憶手段 3 とを有して構成し、前記データ電極ドライバ 13-1～13-q は、前記記憶手段 3 の画像データに基づき並列に

(3)

3

駆動する。

【0008】また、本発明の第2の特徴の液晶表示装置の駆動回路は、 $q$ 個（ $q$ は任意の正整数）のデータ電極ドライバ $13-1 \sim 13-q$ を備える液晶表示装置の駆動回路であって、画像データを $p$ 個（ $p$ は任意の正整数）に分割する分割手段1と、 $p$ 個のメモリ $M1 \sim Mp$ からなり、前記分割手段1により $p$ 分割された画像データを所定の期間保持する記憶手段3と、前記記憶手段3への書き込み時、或いは読み出し時の画像データを、前記データ電極ドライバ $13-1 \sim 13-q$ のブロック分割に対応した画像データに並び替える記憶制御手段7とを有して構成し、前記データ電極ドライバ $13-1 \sim 13-q$ は、前記記憶手段3の画像データに基づき並列に駆動する。

【0009】また、本発明の第3の特徴の液晶表示装置の駆動回路は、本発明の第1または第2の特徴の液晶表示装置の駆動回路において、前記記憶手段3内に $p$ 分割された画像データのそれぞれを $q$ 個に再分割する再分割手段4と、前記再分割手段4により再分割された画像データを合成して前記データ電極ドライバ $13-1 \sim 13-q$ に供給する合成手段5とを有して構成する。

【0010】更に、本発明の第4の特徴の液晶表示装置の駆動回路は、本発明の第1、第2または第3の特徴の液晶表示装置の駆動回路において、前記分割手段1は、画像データを奇数番目及び偶数番目のグループに分割した後、更に $r$ 個（ $r$ は $p/2$ を越えない任意の正整数）に分割する。

【0011】

【作用】本発明の第1及び第3の特徴の液晶表示装置の駆動回路では、図1に示す如く、分割手段1により画像データDataを $p$ 個（ $p$ は任意の正整数）に分割して、画像データDataの速度を落として $p$ 個のメモリ $M1 \sim Mp$ に格納し、再分割手段4及び合成手段5により、記憶手段3内に $p$ 分割された画像データのそれぞれを $q$ 個に再分割して、それらを合成してデータ電極ドライバ $13-1 \sim 13-q$ に供給し、データ電極ドライバ $13-1 \sim 13-q$ は、前記記憶手段3の画像データに基づき並列に駆動する。尚、記憶手段3への書き込み時、或いは読み出し時の画像データは、記憶制御手段7によってデータ電極ドライバ $13-1 \sim 13-q$ のブロック分割に対応した画像データに並び替えるようしている。

【0012】従って、データ電極ドライバの動作速度よりも速い画像データDataを分割構成したメモリを介して分割し、ブロックに分割したデータ電極ドライバを並列動作させて表示する場合に、使用するメモリのアクセス速度に応じて記憶手段3を分割構成し、またデータ電極ドライバも動作速度に応じて分割構成すればよく、画像データDataが高速になり情報量が多くなるても、低速度のメモリの使用を可能とし、またより少ないメモリ数で構成可能な液晶表示装置の駆動回路を実現できる。

【0013】また、本発明の第2及び第3の特徴の液晶表示装置の駆動回路では、図1に示す如く、分割手段1

特開平6-102837

4

により画像データDataを $p$ 個（ $p$ は任意の正整数）に分割して、画像データDataの速度を落として $p$ 個のメモリ $M1 \sim Mp$ に格納し、再分割手段4及び合成手段5により、記憶手段3内に $p$ 分割された画像データのそれぞれを $q$ 個に再分割して、それらを合成してデータ電極ドライバ $13-1 \sim 13-q$ に供給し、データ電極ドライバ $13-1 \sim 13-q$ は、前記記憶手段3の画像データに基づき並列に駆動する。尚、記憶手段3への書き込み時、或いは読み出し時の画像データは、記憶制御手段7によってデータ電極ドライバ $13-1 \sim 13-q$ のブロック分割に対応した画像データに並び替えるようしている。

【0014】従って、画像データDataを記憶手段3に書き込む前に分割し、読み出し後に合成することで、画像データDataよりも速い動作速度のメモリを使用することができ、また記憶手段3への書き込み時、或いは読み出し時の画像データを、データ電極ドライバ $13-1 \sim 13-q$ のブロック分割に対応した画像データに並び替え、更に再分割手段4を設けることでメモリ数を削減することができ、結果として、画像データDataが高速になり情報量が多くなっても、より少ないメモリ数で、しかも低速度のメモリによる構成が可能となり、回路規模の縮小、低消費電力化、並びに低成本化を図ることができる。

【0015】

【実施例】次に、本発明に係る実施例を図面に基づいて説明する。

#### 第1実施例

図2に本発明の第1実施例に係る液晶表示装置の駆動回路の構成図を示す。図2において、図7（従来例）と重複する部分には同一の符号を附する。

【0016】図2において、本実施例の液晶表示装置の駆動回路は、駆動対象である液晶表示パネル11、2個のブロックに分割されてデータラインを駆動するデータ電極ドライバ $13-1 \sim 13-3$ 、ゲートラインを駆動するゲート電極ドライバ15、画像データDataからデータ電極ドライバ $13-1 \sim 13-3$ に供給する画像データを生成する画像データ処理部、並びに、クロック信号CLK、水平同期信号H sync、及び垂直同期信号V syncから各構成要素の制御信号群con1及びcon2を生成するタイミング制御部17から構成されている。

【0017】画像データ処理部は、ディジタル画像データをそのまま出力し、若しくはアナログ画像データDataをA/D変換して出力するA/D変換部2と、分割手段1として機能し、画像データDataを奇数及び偶数番目の画像データに分割してラッチするラッチL1及びL2と、記憶手段3として機能しラッチL1及びL2出力を所定の期間保持する2個のメモリM1及びM2と、記憶制御手段7として機能しメモリM1及びM2を

50

(4)

特許平6-102837

5

らの読み出し画像データを、データ電極ドライバ13-1～13-3のブロック分割に対応した画像データに並び替わるようアクセス制御するアドレスカウンタ7と、再分割手段4として機能しメモリM1及びM2の出力をラッチするラッチLA1, LB1, LC1, LA2, LB2, 及びLC2と、合成手段5として機能しラッチしA1, LB1, LC1, LA2, LB2, 及びLC2出力を合成してデータ電極ドライバ13-1～13-3に供給する合成回路5-1～5-3とから構成されている。

【0018】本実施例では、A/D変換後の画像データをラッチ回路L1及びL2により分割して速度を落とす。分割数が多いほどメモリ数は増えるが低速で小容量のメモリを使用することができます。メモリM1及びM2に画像データを書き込んだ後、アドレスカウンタ7によりデータ電極ドライバ13-1～13-3のブロック分割に対応した画像データに並び替えて読み出し、ラッチLA1, LB1, LC1, LA2, LB2, 及びLC2により再分割する。次に、合成回路5-1～5-3によりデータを合成して画像データの速度を上げ、ブロック毎にデータ電極ドライバ13-1～13-3に対して並列に画像データを供給する。

【0019】次に、アドレスカウンタ7による画像データの並び替え動作について説明する。図3は、アドレスカウンタ7の詳細構成図である。アドレスカウンタ7は、3つのアドレスカウンタ21-1～21-3と、それぞれのアドレスカウンタ21-1～21-3出力を選択制信号c, dにより選択出力するセレクタ23から構成されている。

【0020】また図4(1)は、液晶表示パネル11上の画像データの並びを説明する図である。データA1, A1', A2, A2', …, An, An'はデータ電極第1ドライバ12-1に、データB1, B1', B2, B2', …, Bn, Bn'はデータ電極第2ドライバ12-2に、データC1, C1', C2, C2', …, Cn, Cn'はデータ電極第3ドライバ12-3にそれぞれ対応している。ここで、記号'付きのデータは偶数番目のデータであることを意味している。

【0021】このような画像データA1, A1', …, An, An', B1, B1', …, Bn, Bn', C1, C1', …, Cn, Cn'が与えられる時、図4(2)に示すように、第1メモリM1には奇数番目のデータが、第2メモリM2には偶数番目のデータが順次格納される。

【0022】図5は、入力される画像データDataと、画像データの並び替えのためのメモリM1及U M2からの読み出し動作の概念的説明図である。アドレスカウンタ7において、第1アドレスカウンタ21-1によりアドレスaから、第2アドレスカウンタ21-2によりアドレスbから、第3アドレスカウンタ21-3によ

りアドレスcからそれぞれ並列にカウントアップし、選択制信号c, d (タイミング制御部17で生成される制御信号群con2の1つ)に基づきセレクタ23によってアドレスa, d, rを切り換えてメモリM1及びM2の内容を出力する。ラッチLA1, LB1, LC1, LA2, LB2, 及びLC2のラッチタイミングを選択制御信号c, dに同期させれば、ラッチLA1, LB1, LC1, LA2, LB2, 及びLC2の内容は図5(2)に示すような遷移となる。また、合成回路5-1～5-3により合成される画像データ、即ちデータ電極ドライバ13-1～13-3に印加される画像データは、合成部でラッチされ、図5(3)に示すようになり、ラッチ1, 2を合成すると図5(4)に示す如くなる。

【0023】本実施例によれば、画像データDataを記憶手段3に書き込む前に分割し、読み出し後に合成することで、画像データよりも速い動作速度のメモリを使用することができます。例えば、画像データDataの転送速度がX [MHz] (X:任意の正の実数)の場合、本実施例のような構造とすることでアクセス速度がX/2 [MHz] のメモリを使用することができる。

【0024】また記憶手段3への書き込み時、或いは読み出し時の画像データを、データ電極ドライバ13-1～13-3のブロック分割に対応した画像データに並び替え、更に再分割手段4及び合成手段5により再分割及び合成することで、従来3個必要であったところを2個と、メモリ数を削減することができる。結果として、画像データDataが高速になり情報量が多くなっても、より少ないメモリ数で、しかも低速度のメモリによる構成が可能となる。

## 第2実施例

図6に本発明の第2実施例に係る液晶表示装置の駆動回路の構成図を示す。

【0025】本実施例の液晶表示装置の駆動回路は、液晶表示パネル11、奇数番目のデータラインを駆動するデータ電極奇数ドライバ14-1～14-3、偶数番目のデータラインを駆動するデータ電極偶数ドライバ14-4～14-8、ゲートラインを駆動するゲート電極ドライバ15、画像データDataからデータ電極ドライバ13-1～13-3に供給する画像データを生成する画像データ処理部、並びに、クロック信号CLK、水平同期信号Hsync、及び垂直同期信号Vsyncから各構成要素の制御信号群con1及びcon2を生成するタイミング制御部17から構成されている。

【0026】画像データ処理部は、A/D変換部2、ラッチL1及びL2、第1メモリM1及び第2メモリM2、アドレスカウンタ7、並びにラッチLA1, LB1, LC1, LA2, LB2, 及びLC2から構成されている。

【0027】このように、本実施例ではデータ電極ドライバを奇数番目のデータライン用と偶数番目のデータラ

(5)

特開平6-102837

8

イン用とに分けて構成しているので、第1実施例のよう  
に合成回路5-1～5-3によって合成する必要がない。  
各部の動作は、第1実施例とはほぼ同様である。

【0028】尚、記憶手段3としてのメモリを更に分割  
して構成する場合には、合成手段5は必要となる。

【0029】

【発明の効果】以上説明したように、本発明によれば、  
分割手段により画像データをp個（pは任意の正整数）  
に分割して、画像データの速度を落としてp個のメモリ  
に格納し、再分割手段及び合成手段により、記憶手段内  
にp分割された画像データのそれぞれをq個に再分割して、  
それらを合成してq個のデータ電極ドライバに供給し、  
データ電極ドライバは記憶手段の画像データに基づき並列に駆動することとしたので、データ電極ドライバ  
の動作速度よりも速い画像データを分割構成したメモリ  
を介して分割し、ブロックに分割したデータ電極ドライ  
バを並列動作させて表示する場合に、使用するメモリの  
アクセス速度に応じて記憶手段を分割構成し、またデータ  
電極ドライバも動作速度に応じて分割構成すればよ  
く、画像データが高速になり情報量が多くなっても、低  
速度のメモリの使用を可能とし、またより少ないメモリ  
数で構成可能な液晶表示装置の駆動回路を提供すること  
ができる。

【0030】また、本発明によれば、分割手段により画像  
データをp個（pは任意の正整数）に分割して、画像  
データの速度を落としてp個のメモリに格納し、再分割  
手段及び合成手段により、記憶手段内にp分割された画像  
データのそれぞれをq個に再分割して、それらを合成してq  
個のデータ電極ドライバに供給し、データ電極ドライバ  
は記憶手段の画像データに基づき並列に駆動し、この時、記憶手段への書き込み時、或いは読み出し時の  
画像データは、記憶手段によってデータ電極ドライバのブロ  
ック分割に対応した画像データに並び替えることとしたので、  
画像データを記憶手段に書き込む前に分割し読み出し後に合  
成することで、画像データよりも速い動作速度のメモリを使用  
することができ、また記憶手段への書き込み時、或いは読み出し時の  
画像データを、データ電極ドライバのブロック分割に対応した  
画像データに並び替え、更に再分割手段を設けることでメモリ数  
を削減することができ、結果として、画像データが高速  
になり情報量が多くなっても、より少ないメモリ数で、  
しかも低速度のメモリによる構成が可能となり、回路構  
成の縮小、低消費電力化、並びに低成本化の可能な液  
晶表示装置の駆動回路を提供することができる。

## 【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1実施例に係る液晶表示装置の駆動  
回路の構成図である。【図3】実施例におけるアドレスカウンタの詳細構成図  
である。【図4】図4(1)は液晶表示パネル上の画像データの  
並びの説明図、図4(2)はメモリ内のデータの格納状  
態を説明するメモリマップである。【図5】図5(1)は入力される画像データDataの  
説明図、図5(2)は画像データの並び替えのためのメ  
モリからの読み出し動作の概念的説明図である。【図6】本発明の第2実施例に係る液晶表示装置の駆動  
回路の構成図である。【図7】従来の液晶表示装置の駆動回路の構成図であ  
る。

## 【符号の説明】

1…分割手段

2…A/D変換部

3…記憶手段

4…再分割手段

5…合成手段

5-1～5-3…合成回路

7…アドレスカウンタ（記憶制御手段）

11…液晶表示パネル

13-1～13-3…データ電極ドライバ

14-1～14-3…データ電極奇数ドライバ

14-4～14-6…データ電極偶数ドライバ

15…ゲート電極ドライバ

17…タイミング制御部

21-1～21-3…アドレスカウンタ

23…セレクタ

M1～Mp, M11～M13…メモリ

L1～Lp…ラッピング

L11～Lqp…ラッピング

LA1, LB1, LC1, LA2, LB2, LC2…ラッピング

Data…画像データ

CLK…クロック信号

Hsync…水平同期信号

Vsync…垂直同期信号

con1, con2, con…制御信号群

adr…アドレス

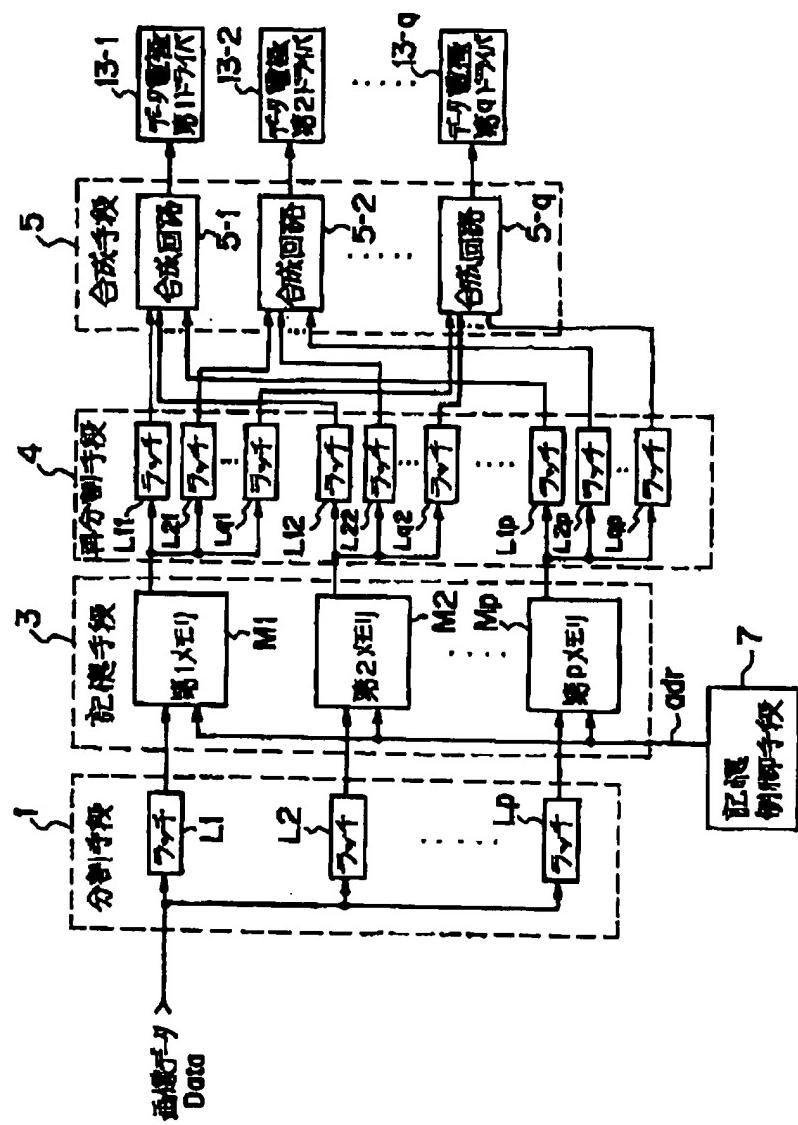
cad…選択制御信号

(6)

特開平6-102837

【図1】

## 本発明の原理説明図

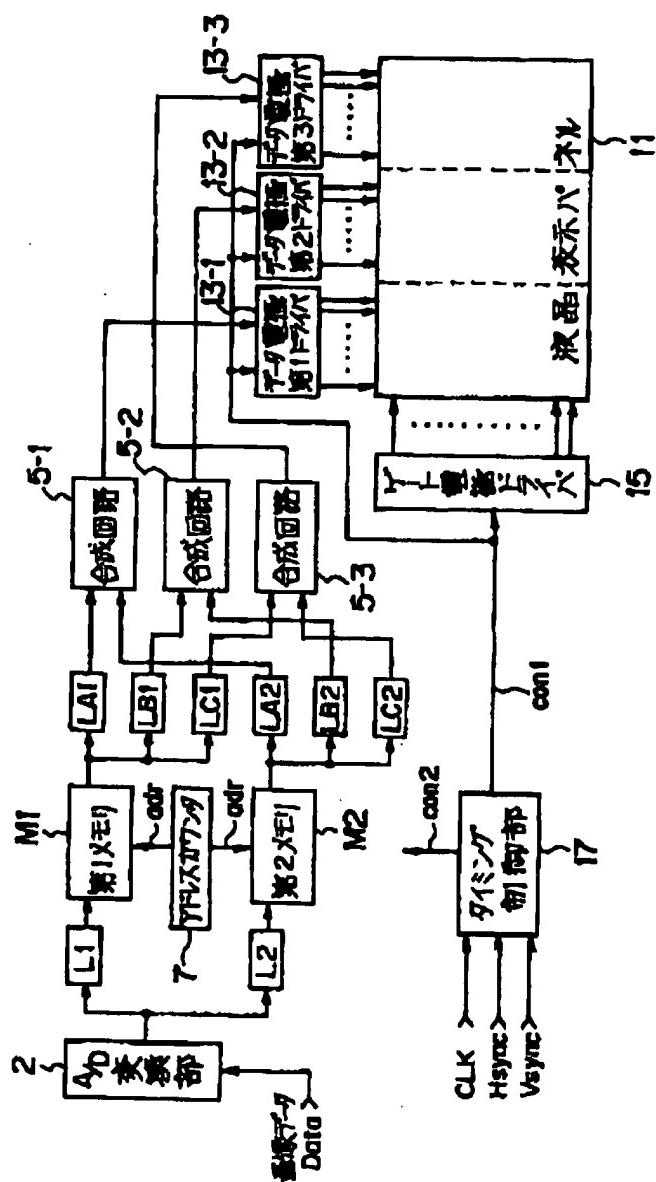


(7)

特開平6-102837

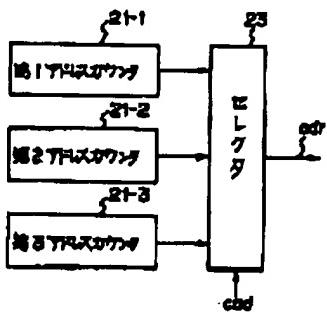
【図2】

## 第1実施例の液晶表示装置の駆動回路の構成図



【図3】

## アドレスカウンタの詳細構成図

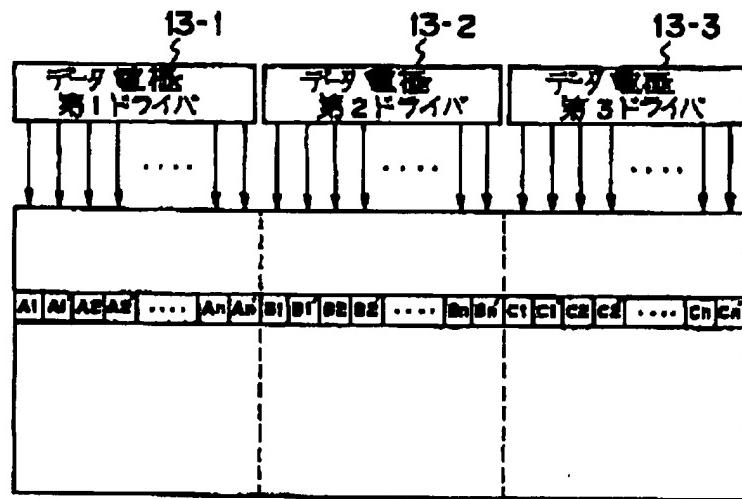


(6)

特開平6-102837

【図4】

## (1) 画像データと液晶表示パネルの対応



## (2) メモリマップ

11

アドレス	第1メモリ	第2メモリ
a	A1	A1'
a+1	A2	A2'
:	:	:
a+n-1	An	An'
b	B1	B1'
b+1	B2	B2'
:	:	:
b+n-1	Bn	Bn'
c	C1	C1'
c+1	C2	C2'
:	:	:
c+n-1	Cn	Cn'

(9)

特開平6-102897

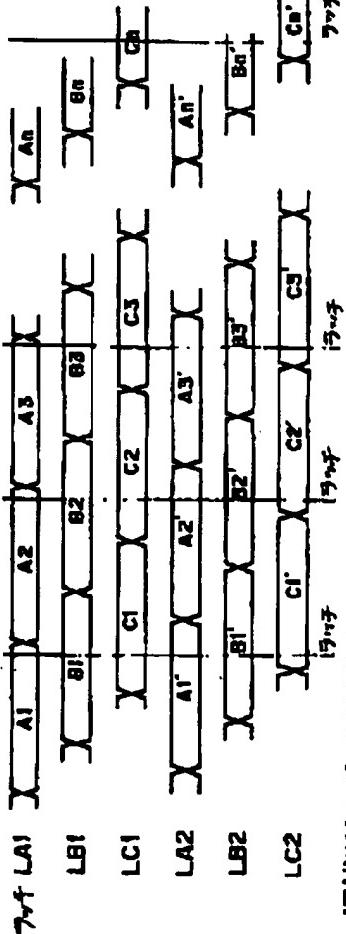
(図5)

## メモリへの書き込み及び読み出しの動作説明図

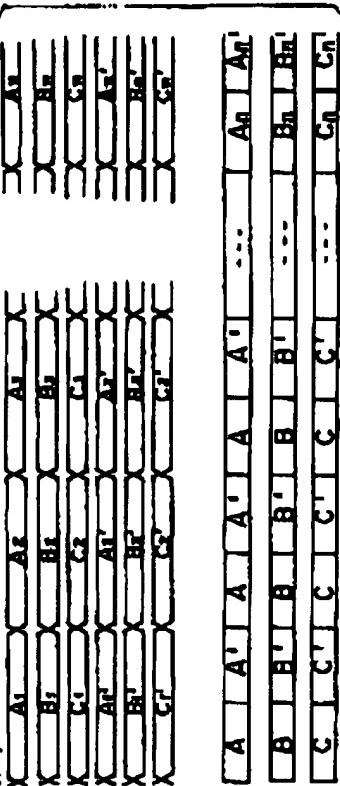
## (1) 選択データ Data (メモリへの書き込みデータ)

[メモリセル構成図] ... [メモリセル構成図] ... [メモリセル構成図] ...

## (2) メモリセル構成図書き込みデータ

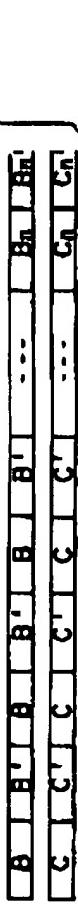


## (3) メモリセル構成図読み出しデータ



## (4) ラーチ1,2書き込み

[メモリセル構成図] ... [メモリセル構成図] ...



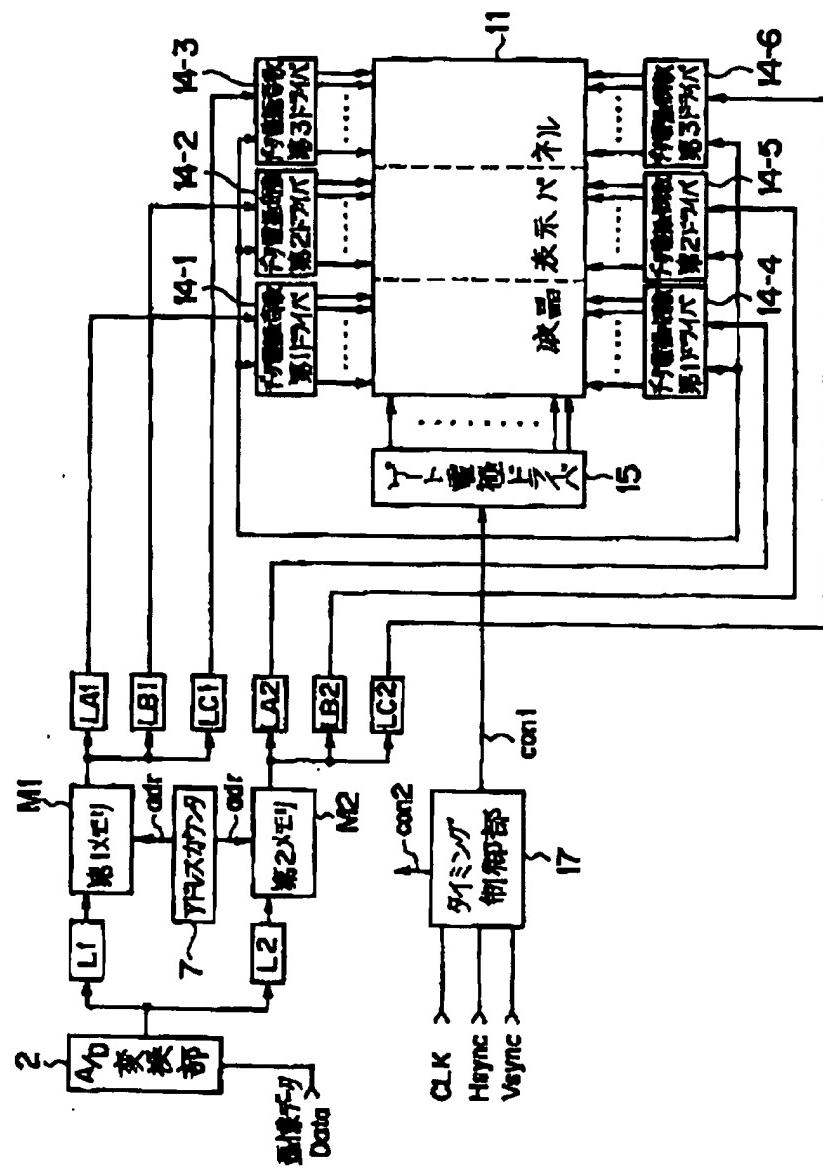
合規回路

C00

特開平6-102837

[図6]

## 第2実方式の液晶表示装置の駆動回路の構成図



011

特調平6-102837

〔圖7〕

## 従来の液晶表示装置の駆動回路の構成図

